



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001093281 A**(43) Date of publication of application: **06.04.01**

(51) Int. Cl. **G11C 11/407**  
**G11C 11/41**  
**G11C 11/401**

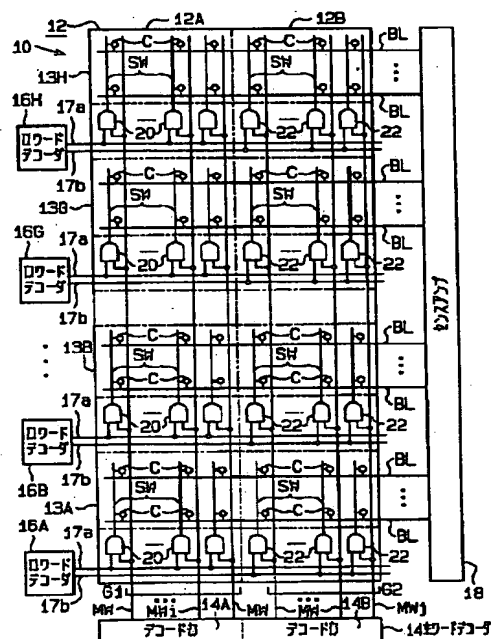
(21) Application number: **11268866**(71) Applicant: **SANYO ELECTRIC CO LTD**(22) Date of filing: **22.09.99**(72) Inventor: **ISHIZUKA YOSHIYUKI**(54) **SEMICONDUCTOR MEMORY**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor memory in which an access speed for a memory cell can be increased and increase in current consumption can be suppressed.

**SOLUTION:** A memory cell array 12 comprises plural main word lines MW, plural sub-word lines SW corresponding to each main word line, and sub-word lines SW in the direction of column, and is divided into plural sub-arrays 13A-13H. The plural main word lines MW is divided into two groups of main word line groups G1 and G2. A main word decoder 14 selects one main word line MW out of the main word line groups G1, G2, plural sub-word decoders 16A-16H select sub-word lines SW corresponding to one main word line group in sub-arrays 13A-13H. Plural driving circuits 20, 22 drive correspondent sub-word line SW based on a selected result of the main word decoder 14 and the sub-word decoders 16A-16H.

COPYRIGHT: (C)2001,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-93281

(P2001-93281A)

(43) 公開日 平成13年4月6日 (2001.4.6)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テ-マコード (参考)

G 1 1 C 11/407  
11/41  
11/401

G 1 1 C 11/34

3 5 4 D 5 B 0 1 5  
3 0 1 E 5 B 0 2 4  
3 6 2 H

審査請求 未請求 請求項の数 3 O L (全 12 頁)

(21) 出願番号

特願平11-268866

(22) 出願日

平成11年9月22日 (1999.9.22)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 石塚 良行

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(74) 代理人 100068755

弁理士 恩田 博宣 (外1名)

Fターム (参考) 5B015 HH01 HH03 JJ03 JJ21 KA28

KB44 PP01

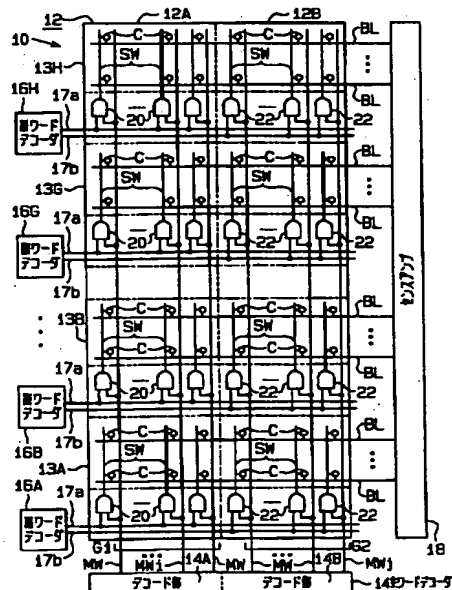
5B024 AA01 AA15 BA13 BA18 CA16

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 メモリセルへのアクセスの高速化を図ることができるとともに、消費電流の増加を抑制することができる半導体記憶装置を提供する。

【解決手段】 メモリセルアレイ12は複数のメインワード線MWと、各メインワード線に対応する複数のサブワード線SWとを含み、列方向のサブワード線SWを含んで複数のサブアレイ13A~13Hに分割されている。複数のメインワード線MWはメインワード線群G1、G2にグループ化されている。主ワードデコーダ14は各メインワード線群G1、G2の1つのメインワード線MWを選択し、複数の副ワードデコーダ16A~16Hは各サブアレイ13A~13Hにおいて1つのメインワード線群に対応するサブワード線SWを選択する。複数の駆動回路20、22は主ワードデコーダ14の選択結果と副ワードデコーダ16A~16Hの選択結果とに基づいて対応するサブワード線SWを駆動する。



## 【特許請求の範囲】

【請求項1】 メモリセルアレイを複数のサブアレイに分割するとともに、各サブアレイ毎に複数のサブワード線を設け、複数のサブワード線を複数のメインワード線に接続した半導体記憶装置において、

複数のメインワード線を選択するとともに、各サブアレイにおいて該選択されたメインワード線の1つに対応するサブワード線を選択するようにした半導体記憶装置。

【請求項2】 メモリセルアレイを複数のサブアレイに分割するとともに、各サブアレイ毎に複数のサブワード線を設け、複数のサブワード線を複数のメインワード線に接続した半導体記憶装置において、

前記複数のメインワード線を複数のメインワード線群にグループ化し、各メインワード線群におけるいずれか1つのメインワード線を選択する主ワードデコーダと、前記各サブアレイに対応して設けられ、前記各サブアレイにおいて前記複数のメインワード線群のいずれか1つの群に対応するサブワード線を選択する複数の副ワードデコーダと、

前記各サブワード線に対応して設けられ、かつ前記主ワードデコーダの選択結果と該サブワード線を含むサブアレイに対応する副ワードデコーダの選択結果とに基づいて対応するサブワード線を駆動する複数の駆動回路とを備える半導体記憶装置。

【請求項3】 メモリセルアレイを複数のサブアレイに分割するとともに、各サブアレイ毎に複数のサブワード線を設け、複数のサブワード線を複数のメインワード線に接続した半導体記憶装置において、

メインワード線に沿って配設される複数のサブワード線を1群とし、各メインワード線に対応して複数のサブワード線群が接続されており、

前記複数のメインワード線のいずれか1つを選択する主ワードデコーダと、

前記各サブアレイに対応して設けられ、各サブアレイにおいて前記各メインワード線に対応する複数のサブワード線のいずれか1つのサブワード線を選択する複数の副ワードデコーダと、

前記各サブワード線に対応して設けられ、かつ前記主ワードデコーダの選択結果と該サブワード線を含むサブアレイに対応する副ワードデコーダの選択結果とに基づいて対応するサブワード線を駆動する複数の駆動回路とを備える半導体記憶装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体記憶装置に係り、詳しくはメモリセルアレイのアクセスに関する。

【0002】

【従来の技術】 図12は従来の半導体記憶装置としてのDRAMを示す。このDRAM100は、メモリセルアレイ102と、主ワードデコーダ104と、複数の副ワ

ードデコーダ106と、メモリセルアレイ102から読み出されたデータを増幅するセンスアンプ108とを備えている。メモリセルアレイ102は、行（縦）方向に延びる複数のメインワード線MWと、各メインワード線MWに対応して各メインワード線MWに沿って配設された複数のサブワード線SWと、列（横）方向に延びる複数のビット線BLとを備えている。メモリセルアレイ102は、列方向における複数のサブワード線SWを含んでメインワード線MWに垂直に複数（例えば8つ）のサブアレイ103に分割されている。各サブワード線SW及び各ビット線BL間にそれぞれメモリセルCが接続されている。主ワードデコーダ104は複数のメインワード線MWに接続され、メモリセルへのアクセス時にいずれか1本のメインワード線MWを選択しその電圧レベルをHにするようになっている。各副ワードデコーダ106は各サブアレイ103に対応して設けられており、メモリセルCへのアクセス時にHレベルの信号を出力する。また、各サブワード線SWに対応してAND回路110が設けられている。各AND回路110の一方の入力端子はメインワード線MWに接続され、他方の入力端子は各副ワードデコーダ106の出力線に接続されている。各AND回路110はメインワード線MWの信号レベル及び各副ワードデコーダ106の出力信号レベルがともにHレベルにとき、Hレベルの信号を出力して対応するサブワード線SWを駆動する。センスアンプ108は選択されたサブワード線SWに接続された複数のメモリセルCからビット線BLを介して転送されたデータを増幅する。

【0003】 このように構成されたDRAM100においては、アドレス信号が主ワードデコーダ104によって選択信号にデコードされ、いずれか1つのメインワード線MWが選択される。また、アドレス信号に基づいてすべての副ワードデコーダ106の出力信号がHレベルになり、選択されたメインワード線MWに接続されたAND回路110の出力信号がHレベルになり、そのAND回路110に対応するサブワード線SWが駆動される。その結果、選択されたサブワード線SWに接続されたメモリセルCが活性化される。データの読み出し時にはメモリセルCからデータがビット線BLを介してセンスアンプ108に転送され、センスアンプ108にて増幅されたデータは図示しないコラムゲートを介して出力回路に転送され、出力回路から出力される。データの書き込み時にはライトデータがビット線BLを介してメモリセルCに転送される。

【0004】

【発明が解決しようとする課題】 しかしながら、図12に示すDRAM100においては、メモリセルアレイ102内において1度にアクセス可能なメモリセルは、1本のメインワード線MWに対応する複数のサブワード線SWに接続されたメモリセルCに限られている。例え

ば、主ワードデコーダ104によってメインワード線MWiが選択されると、メインワード線MWiに対応する複数のサブワード線SWが駆動され、その駆動されたサブワード線SWに接続されたメモリセルCのみがアクセスされる。そして、メモリセルCに対するデータの書き込み又は読み出しが行われ、この際、ビット線BLが充放電される。従って、メインワード線MWiに対応する複数のサブワード線SWi1, SWi2及びメインワード線MWjに対応する複数のサブワード線SWj1, SWj2に接続されたメモリセルCにアクセスするためには、複数回（この場合、2回）アクセスする必要がある、アクセスタイムが長くなるという問題がある。また、DRAM100の消費電流の大部分はメモリセルのアクセス時におけるビット線BLの充放電電流であり、このように所望のメモリセルをアクセスするために複数回アクセスすると、DRAM100の消費電流が増大するという問題がある。

【0005】本発明は上記問題点を解決するためになされたものであって、その目的は、メモリセルのアクセスの自由度を向上することにより、メモリセルへのアクセスの高速化を図ることができるとともに、消費電流の増加を抑制することができる半導体記憶装置を提供することにある。

【0006】

【課題を解決するための手段】請求項1に記載の発明は、メモリセルアレイを複数のサブアレイに分割するとともに、各サブアレイ毎に複数のサブワード線を設け、複数のサブワード線を複数のメインワード線に接続した半導体記憶装置において、複数のメインワード線を選択するとともに、各サブアレイにおいて該選択されたメインワード線の1つに対応するサブワード線を選択するようにしたことを要旨とする。

【0007】請求項1に記載の発明によれば、複数のメインワード線が選択され、各サブアレイにおいて選択されたメインワード線の1つに対応するサブワード線が選択される。そのため、異なる複数のメインワード線に対応するサブワード線に接続された所望のメモリセルをアクセスする際に、メモリセルのアクセスの自由度が向上しメモリセルアレイのアクセス回数を減少させることができるようになり、アクセスの高速化を図ることができる。また、所望のメモリセルをアクセスする際、アクセス回数を減少させることができるため、消費電流の増加を抑制することができる。

【0008】請求項2に記載の発明は、メモリセルアレイを複数のサブアレイに分割するとともに、各サブアレイ毎に複数のサブワード線を設け、複数のサブワード線を複数のメインワード線に接続した半導体記憶装置において、前記複数のメインワード線を複数のメインワード線群にグループ化し、各メインワード線群におけるいずれか1つのメインワード線を選択する主ワードデコーダ

と、前記各サブアレイに対応して設けられ、前記各サブアレイにおいて前記複数のメインワード線群のいずれか1つの群に対応するサブワード線を選択する複数の副ワードデコーダと、前記各サブワード線に対応して設けられ、かつ前記主ワードデコーダの選択結果と該サブワード線を含むサブアレイに対応する副ワードデコーダの選択結果とに基づいて対応するサブワード線を駆動する複数の駆動回路とを備えることを要旨とする。

【0009】請求項2に記載の発明によれば、複数のメインワード線群において1つのメインワード線が選択され、各サブアレイにおいていずれか1つのメインワード線群に対応するサブワード線が選択される。そして、主ワードデコーダの選択結果と副ワードデコーダの選択結果とに基づいてサブワード線が駆動される。そのため、異なる複数のメインワード線に対応するサブワード線に接続された所望のメモリセルをアクセスする際に、メモリセルのアクセスの自由度が向上しメモリセルアレイのアクセス回数を減少させることができるようになり、アクセスの高速化を図ることができる。また、所望のメモリセルをアクセスする際、アクセス回数を減少させることができるため、消費電流の増加を抑制することができる。

【0010】請求項3に記載の発明は、メモリセルアレイを複数のサブアレイに分割するとともに、各サブアレイ毎に複数のサブワード線を設け、複数のサブワード線を複数のメインワード線に接続した半導体記憶装置において、メインワード線に沿って配設される複数のサブワード線を1群とし、各メインワード線に対応して複数のサブワード線群が接続されており、前記複数のメインワード線のいずれか1つを選択する主ワードデコーダと、前記各サブアレイに対応して設けられ、各サブアレイにおいて前記各メインワード線に対応する複数のサブワード線のいずれか1つのサブワード線を選択する複数の副ワードデコーダと、前記各サブワード線に対応して設けられ、かつ前記主ワードデコーダの選択結果と該サブワード線を含むサブアレイに対応する副ワードデコーダの選択結果とに基づいて対応するサブワード線を駆動する複数の駆動回路とを備えることを要旨とする。

【0011】請求項3に記載の発明によれば、1つのメインワード線が選択され、各サブアレイにおいてメインワード線に対応する複数のサブワード線のいずれか1つが選択される。そして、主ワードデコーダの選択結果と副ワードデコーダの選択結果とに基づいてサブワード線が駆動される。そのため、異なる複数のサブワード線群に接続された所望のメモリセルをアクセスする際に、メモリセルのアクセスの自由度が向上しメモリセルアレイのアクセス回数を減少させることができるようになり、アクセスの高速化を図ることができる。また、所望のメモリセルをアクセスする際、アクセス回数を減少させることができるため、消費電流の増加を抑制することがで

きる。

【0012】

【発明の実施の形態】〔第1実施形態〕以下、本発明を具体化した第1実施形態を図1～図5に従って説明する。

【0013】図1は本実施形態の半導体記憶装置としてのDRAM10を示す。このDRAM10は、メモリセルアレイ12と、主ワードデコーダ14と、複数（本実施形態では8個）の副ワードデコーダ16A～16Hと、メモリセルアレイ12から読み出されたデータを増幅するセンスアンプ18とを備えている。

【0014】メモリセルアレイ12は、行（縦）方向に延びる複数のメインワード線MWと、各メインワード線MWに対応して各メインワード線MWに沿って配設された複数のサブワード線SWと、列（横）方向に延びる複数のビット線BLとを備えている。各サブワード線SW及び各ビット線BL間にそれぞれメモリセルCが接続されている。なお、図示していないが、メモリセルアレイ12は各ビット線BLと対をなす反転側ビット線BLバーを備え、各サブワード線SW及び各ビット線BLバー間にもメモリセルが接続されている。

【0015】メモリセルアレイ12は、列方向における複数のサブワード線SWを含んでメインワード線MWに垂直に複数（例えば8つ）のサブアレイ13A～13Hに分割されている。また、複数のメインワード線MWは同一の本数よりなる複数（本実施形態では2つ）のメインワード線群G1、G2にグループ化されており、メモリセルアレイ12にはこれらのメインワード線群G1、G2を含んでアレイ12A、12Bを定義されている。

【0016】主ワードデコーダ14は複数のメインワード線群G1、G2に対応する複数のデコード部14A、14Bからなり、各デコード部14A、14Bにはメインワード線群G1、G2を構成する複数のメインワード線MWが接続されている。各デコード部14A、14Bは、メモリセルアレイ12へのアクセス時においてアドレス信号を選択信号にデコードし、各メインワード線群G1、G2におけるいずれか1本のメインワード線MWを選択しその電圧レベルをHにするようになっている。

【0017】各副ワードデコーダ16A～16Hは各サブアレイ13A～13Hに対応して設けられている。各副ワードデコーダ16A～16Hはメモリセルアレイ12のアクセス時においてアドレス信号を選択信号にデコードし、列方向に延びる2つの出力線17a、17bのいずれか1つをHレベルにすることにより複数のメインワード線群G1、G2のいずれか1つのメインワード線群に対応するサブワード線SWを選択するようになっている。

【0018】また、前記アレイ12Aにおける各サブワード線SWに対応して駆動回路としてのAND回路20が設けられ、前記アレイ12Bにおける各サブワード線

SWに対応して駆動回路としてのAND回路22が設けられている。各AND回路20の一方の入力端子は各サブワード線SWに対応するメインワード線群G1のメインワード線MWに接続され、他方の入力端子は副ワードデコーダ16A～16Hの出力線17aに接続されている。各AND回路22の一方の入力端子は各サブワード線SWに対応するメインワード線群G2のメインワード線MWに接続され、他方の入力端子は副ワードデコーダ16A～16Hの出力線17bに接続されている。各AND回路20はメインワード線MWの電圧レベル及び各副ワードデコーダ16A～16Hの出力線17aの電圧レベルがともにHレベルのとき、Hレベルの信号を出力して対応するサブワード線SWを駆動する。各AND回路22はメインワード線MWの電圧レベル及び各副ワードデコーダ16A～16Hの出力線17bの電圧レベルがともにHレベルのとき、Hレベルの信号を出力して対応するサブワード線SWを駆動する。

【0019】センスアンプ18は駆動されたサブワード線SWに接続された複数のメモリセルCからビット線BLを介して転送されたデータを増幅する。このように構成されたDRAM10においては、アドレス信号が主ワードデコーダ14の各デコード部14A、14Bによって選択信号にデコードされ、各メインワード線群G1、G2においてそれぞれ1つのメインワード線MWが選択される。また、アドレス信号に基づいて各副ワードデコーダ16A～16Hの出力線17a、17bのいずれか一方の出力線の電圧レベルのみがHレベルになる。従って、各サブアレイ13A～13HにおいていずれかのAND回路20、22の出力信号がHレベルになり、そのAND回路に対応するサブワード線SWが選択駆動される。その結果、選択されたサブワード線SWに接続されたメモリセルCが活性化される。

【0020】データの読み出し時にはメモリセルCからデータが対応するビット線BLを介してセンスアンプ18に転送され、センスアンプ18にて増幅されたデータは図示しないコラムゲートを介して出力回路に転送され、出力回路から出力される。データの書き込み時にはライトデータがビット線BLを介して対応するメモリセルCに転送される。

【0021】メモリセルのアクセスを具体的に説明すると、今、主ワードデコーダ14の各デコード部14A、14Bによってアドレス信号が選択信号にデコードされ、各メインワード線群G1、G2においてそれぞれ1つのメインワード線MW、例えばメインワード線MW<sub>i</sub>、MW<sub>j</sub>が選択される。

【0022】また、アドレス信号に基づいて各副ワードデコーダ16A～16Hの出力線17a、17bのいずれか一方の出力線の電圧レベルのみがHレベルになる。例えば副ワードデコーダ16Aでは出力線17aがHレベル、副ワードデコーダ16Bでは出力線17bがHレ

ベル、副ワードデコーダ16Gでは出力線17bがHレベル、副ワードデコーダ16Hでは出力線17aがHレベルになる。

【0023】従って、サブアレイ13Aではメインワード線MW<sub>i</sub>に接続されたAND回路20の出力信号がHレベルになり、そのAND回路20に対応するサブワード線SWが駆動される。サブアレイ13Bではメインワード線MW<sub>j</sub>に接続されたAND回路22の出力信号がHレベルになり、そのAND回路22に対応するサブワード線SWが駆動される。サブアレイ13Gではメインワード線MW<sub>j</sub>に接続されたAND回路22の出力信号がHレベルになり、そのAND回路22に対応するサブワード線SWが駆動される。サブアレイ13Hではメインワード線MW<sub>i</sub>に接続されたAND回路20の出力信号がHレベルになり、そのAND回路20に対応するサブワード線SWが駆動される。

【0024】その結果、選択されたサブワード線SWに接続されたメモリセルCが活性化される。データの読み出し時にはメモリセルCからデータがビット線BLを介してセンスアンプ108に転送され、センスアンプ108にて増幅されたデータは図示しないコラムゲートを介して出力回路に転送され、出力回路から出力される。データの書き込み時にはライトデータがビット線BLを介してメモリセルCに転送される。

【0025】このように、上記メモリセルアレイ10では、異なる複数のメインワード線MWに対応する複数のサブワード線SWに接続された所望のメモリセルをアクセスする際に、メモリセルアレイ10のアクセス回数が1回となり、従来のDRAM100（図12参照）と比較してアクセス回数が減少し、アクセスの高速化が可能になる。また、DRAM10の消費電流の大部分はメモリセルCのアクセス時におけるビット線BLの充放電電流であるが、このように所望のメモリセルをアクセスするためにメモリセルアレイ10へのアクセス回数が減少するため、DRAM10の消費電流の増加が抑制される。

【0026】次に、上記のように構成されたDRAM10を画像データの記録用に応用した例を図2～図5に基づいて説明する。画像処理では、表示器の全画面中の一部分をブロックとして取り出す作業が行われる。図2はブロック26を示し、ブロック26は8つの画素列26A～26Hよりなり、各画素列26A～26Hは8つの画素よりなる。図3はブロック26をDRAM10に格納する例を示す。なお、図3では、簡略化のため、DRAM10における副ワードデコーダ16A～16Hの出力線、ビット線及びメモリセルを省略し、1本のメインワード線MW及び同メインワード線MWに対応するサブワード線SWのみを図示している。

【0027】図3において、1つのメインワード線MWに対応する複数のサブワード線SWに接続されたメモリ

セルに、ブロック26の各画素列26A～26Hのデータを格納する。この例では最右端の画素列26Aのデータはサブアレイ13Aに、その左の画素列26Bのデータはサブアレイ13Bに、というように格納していき、最左端の画素列26Hのデータはサブアレイ13Hに格納する。なお、簡単のため、1画素のデータを8ビット（256階調）の輝度信号とすると、1つのサブワード線SWには64ビット（8ビット×8画素）のメモリセルが接続され、1つのメインワード線MWには512ビット（64ビット×8サブアレイ）のメモリセルが繋がっていることとなる。

【0028】図3に図示されたメインワード線MWにつながるすべてのメモリセルにアクセスすると、図2のブロック26のすべてのデータを読み書きすることができる。しかしながら、図4に示すように、互いに隣接した複数のブロック26、27に跨るような8つの画素列のデータは1つのメインワード線MWにつながるメモリセルだけでは読み書きすることはできない。

【0029】図4に示すように、互いに隣接したブロック26、27のデータをメモリセルアレイ12に格納する場合、ブロック26のデータはアレイ12Aに格納し、ブロック27のデータはアレイ12Bに格納する。

【0030】ブロック26の各画素列26A～26Hのデータは上記のようにアレイ12Aの各サブアレイ13A～13Hに格納する。アレイ12Bへのブロック27のデータの格納は、最右端の画素列27Aのデータはサブアレイ13Aに、その左の画素列27Bのデータはサブアレイ13Bに、というように格納していき、最左端の画素列27Hのデータはサブアレイ13Hに格納する。このように各ブロック26、27のデータをアレイ12A、12Bに格納することにより、図4に斜線で示されるブロック26、27に跨る8つの画素列のデータは図5に太線で示されるサブワード線SWに接続されたメモリセルに格納されることとなる。従って、主ワードデコーダ14により各アレイ12A、12Bにおいてそれぞれ1つのメインワード線を選択し、副ワードデコーダ16A～16Eによりアレイ12Aを選択するとともに、副ワードデコーダ16F～16Hによりアレイ12Bを選択することにより、所望する8つの画素列のデータをメモリセルアレイ12への1回のアクセスで読み書きすることができる。

【0031】このように構成されたDRAM10によれば、以下の効果がある。・ 複数のメインワード線群G1、G2においてそれぞれ1つのメインワード線MWを選択し、各サブアレイ13A～13Hにおいていずれか1つのメインワード線群G1、G2に対応するサブワード線SWを選択するようにした。そのため、異なる複数のメインワード線MWに対応するサブワード線SWに接続された所望のメモリセルをアクセスする際に、メモリセルのアクセスの自由度が向上しメモリセルアレイ12

のアクセス回数を減少させることができ、アクセスの高速化を図ることができる。

【0032】・ また、DRAM10の消費電流の大部分はメモリセルCのアクセス時におけるビット線BLの充放電電流であるが、このように所望のメモリセルをアクセスするためにメモリセルアレイ10へのアクセス回数を減少させることができるため、DRAM10の消費電流の増加を抑制することができる。

【0033】 [第2実施形態] 次に、本発明をDRAMに具体化した第2実施形態を図6～図8に従って説明する。なお、重複説明を避けるため、図1において説明したものと同一要素については、同じ参照番号が付されている。図6では、簡略化のため、DRAM30におけるビット線及びメモリセルを省略し、メインワード線及びサブワード線のみを図示している。

【0034】 図6は本実施形態の半導体記憶装置としてのDRAM30を示す。このDRAM30は、メモリセルアレイ32と、主ワードデコーダ34と、複数（本実施形態では8個）の副ワードデコーダ36A～36Hと、メモリセルアレイ32から読み出されたデータを増幅するセンスアンプ18とを備えている。

【0035】 メモリセルアレイ32は、行（縦）方向に延びる複数のメインワード線MW0, MW1, MW2, …と、メインワード線に沿って配設された複数のサブワード線SWと、列（横）方向に延びる複数のビット線とを備えている。なお、メインワード線に沿って配設される複数のサブワード線SW<sub>k</sub> (k=0, 1, 2, …) を1群とし、各メインワード線MW0, MW1, MW2, …に対応して複数（本実施形態では3つ）のサブワード線群が設けられている。すなわち、メインワード線MW1に対してはサブワード線群SW1, SW2, SW3の3つのサブワード線群が設けられている。メインワード線MW2に対してはメインワード線MW1に対するサブワード線群SW1, SW2, SW3の配置関係と同様にしてサブワード線群SW3, SW4と別の1つのサブワード線群（図示略）が設けられている。なお、メインワード線MW0に対しては同メインワード線MW0の左隣には隣接するメインワード線が存在しないため、サブワード線群SW0, SW1の2つのサブワード線群が設けられている。なお、各メインワード線MW0, MW1, MW2, …に対応して配設された3つのサブワード線群のうちの両端のサブワード線群は互いに隣接するメインワード線に関して兼用されている。すなわち、サブワード線群SW1はメインワード線MW0, MW1に関して兼用され、サブワード線群SW3はメインワード線MW1, MW2に関して兼用されている。

【0036】 各サブワード線SW及び図示しない各ビット線間にそれぞれメモリセルが接続されている。メモリセルアレイ32は、列方向における複数のサブワード線

SWを含んでメインワード線に垂直に複数（例えば8つ）のサブアレイ33A～33Hに分割されている。

【0037】 主ワードデコーダ34は複数のメインワード線MW0, MW1, MW2等が接続されている。主ワードデコーダ34は、メモリセルアレイ32へのアクセス時においてアドレス信号を選択信号にデコードし、いずれか1本のメインワード線を選択しその電圧レベルをHにするようになっている。

【0038】 各副ワードデコーダ36A～36Hは各サブアレイ33A～33Hに対応して設けられている。各副ワードデコーダ36A～36Hはメモリセルアレイ32のアクセス時においてアドレス信号を選択信号にデコードし、列方向に延びる4つの出力線37a, 37b, 37c, 37dのいずれか1つの電圧レベルをHにするようになっている。

【0039】 また、各メインワード線MW0, MW1等の右側に隣接するサブワード線群に対応して駆動回路としての論理回路40が設けられ、各メインワード線MW1, MW2, …の左側に隣接するサブワード線群に対応して駆動回路としての論理回路50が設けられている。

【0040】 各論理回路40はOR回路42とAND回路44とからなる。OR回路42の2つの入力端子は前記各副ワードデコーダの出力線37b, 37dに接続されている。OR回路42は出力線37b, 37dの少なくとも一方の電圧レベルがHのとき、Hレベルの信号を出力する。AND回路44の一方の入力端子は各サブワード線に対応するメインワード線に接続され、他方の入力端子はOR回路42の出力端子に接続されている。従って、AND回路44はメインワード線の電圧レベル及びOR回路42の出力信号の電圧レベルがともにHレベルのとき、Hレベルの信号を出力して対応するサブワード線SWを駆動する。

【0041】 各論理回路50は2つのAND回路52, 54とOR回路56とからなる。AND回路52の一方の入力端子は各サブワード線に対応する一方のメインワード線に接続され、他方の入力端子は前記各副ワードデコーダの出力線37cに接続されている。AND回路52はメインワード線の電圧レベル及び出力線37cの電圧レベルがともにHレベルのとき、Hレベルの信号を出力する。AND回路54の一方の入力端子は各サブワード線に対応する他方のメインワード線に接続され、他方の入力端子は前記各副ワードデコーダの出力線37aに接続されている。AND回路54はメインワード線の電圧レベル及び出力線37aの電圧レベルがともにHレベルのとき、Hレベルの信号を出力する。OR回路56の2つの入力端子は両AND回路52, 54の出力端子に接続されている。従って、OR回路56はAND回路52, 54の少なくとも一方の出力信号の電圧レベルがHのとき、Hレベルの信号を出力して対応するサブワード

線SWを駆動する。

【0042】このように構成されたDRAM30においては、アドレス信号が主ワードデコーダ34によって選択信号にデコードされ、1つのメインワード線が選択される。また、アドレス信号に基づいて各副ワードデコーダ36A~36Hの出力線37a~37dのいずれか1つの出力線の電圧レベルのみがHレベルになる。従って、各サブアレイ33A~33Hにおいていずれかの論理回路40、50の出力信号がHレベルになり、その論理回路に対応するサブワード線SWが選択駆動される。その結果、選択されたサブワード線SWに接続されたメモリセルが活性化される。

【0043】次に、メモリセルアレイ32のアクセスを具体的に説明する。今、主ワードデコーダ34によってアドレス信号が選択信号にデコードされ、1つのメインワード線MW、例えばメインワード線MW1が選択される。また、アドレス信号に基づいて各副ワードデコーダ36A~36Hの出力線37a~37dのいずれか1つの出力線の電圧レベルのみがHレベルになる。例えば副ワードデコーダ36Aでは出力線37aがHレベル、副ワードデコーダ36Bでは出力線37aがHレベル、副ワードデコーダ36Gでは出力線37bがHレベル、副ワードデコーダ36Hでは出力線37bがHレベルになる。

【0044】従って、サブアレイ33A、33Bではメインワード線MW1に接続された論理回路50の出力信号がHレベルになり、その論理回路50に対応するサブワード線SW1が駆動される。サブアレイ33G、33Hではメインワード線MW1に接続された論理回路40の出力信号がHレベルになり、その論理回路40に対応するサブワード線SW2が駆動される。

【0045】その結果、選択されたサブワード線SWに接続されたメモリセルCが活性化される。データの読み出し時にはメモリセルCからデータがビット線BLを介してセンスアンプ108に転送され、センスアンプ108にて増幅されたデータは図示しないコラムゲートを介して出力回路に転送され、出力回路から出力される。データの書き込み時にはライトデータがビット線BLを介してメモリセルCに転送される。

【0046】また、メモリセルアレイ32へのアクセス時において、主ワードデコーダ34によってアドレス信号が選択信号にデコードされ、1つのメインワード線MW、例えばメインワード線MW1が選択される。このとき、例えば副ワードデコーダ36Aでは出力線37dがHレベル、副ワードデコーダ36Bでは出力線37dがHレベル、副ワードデコーダ36Gでは出力線37cがHレベル、副ワードデコーダ36Hでは出力線37cがHレベルになるものとする。

【0047】すると、サブアレイ33A、33Bではメインワード線MW1に接続された論理回路40の出力信

号がHレベルになり、その論理回路40に対応するサブワード線SW2が駆動される。サブアレイ33G、33Hではメインワード線MW1に接続された論理回路50の出力信号がHレベルになり、その論理回路50に対応するサブワード線SW3が駆動される。

【0048】このように、上記メモリセルアレイ30では、各メインワード線MW0、MW1等に対応して配設された異なる複数のサブワード線群SW0、SW1等に接続された所望のメモリセルをアクセスする際に、メモリセルのアクセスの自由度が向上しメモリセルアレイ30のアクセス回数が1回となり、従来のDRAM100(図12参照)と比較してアクセス回数が減少し、アクセスの高速化が可能になる。また、DRAM30の消費電流の大部分はメモリセルのアクセス時におけるビット線の充放電電流であるが、このように所望のメモリセルをアクセスするためにメモリセルアレイ30へのアクセス回数が減少するため、DRAM30の消費電流の増加を抑制することができる。

【0049】また、メモリセルアレイ32のアクセス時において1つのメインワード線MW、例えばメインワード線MW1が選択された場合において、副ワードデコーダ36A~36Hのデコード結果に基づいて、各サブアレイ33A~33Hにおいてメインワード線MW1に対応するサブワード線SW1~SW3の任意のサブワード線を選択することができる。従って、上記のように構成されたDRAM30は画像データの記録用に応用すると、好適に画像処理を行うことができる。

【0050】図8に示すように、互いに横方向に隣接したブロック60、61、62、63のデータをメモリセルアレイ32に格納する。なお、ブロック60、61、62、63は前記ブロック26と同様に8画素よりなる画素列を8画素列まとめたものとする。この場合、例えばブロック60のデータをサブワード線群SW1に接続されたメモリセルに格納し、ブロック61のデータをサブワード線群SW2に接続されたメモリセルに格納し、ブロック62のデータをサブワード線群SW3に接続されたメモリセルに格納し、さらにブロック63のデータをサブワード線群SW4に接続されたメモリセルに格納する。

【0051】このように各ブロック60~63のデータを各サブワード線群SW1~SW3に格納することにより、図8に斜線で示されるようにブロック60、61に跨る8つの画素列からなるブロック65のデータや、ブロック61、62に跨るブロック66のデータを、メモリセルアレイ32への1回のアクセスで所望するメモリセルに対して読み書きすることができる。

【0052】また、本実施形態のDRAM30では、1つのメインワード線に対して複数群のサブワード線群を配設したので、メモリセルアレイにおけるサブワード線の数を所定値にするとメインワード線の数を減らすこと



ができ、配線率を向上することができるとともに、配線設計の短縮化を図ることができる。

【0053】[第3実施形態] 次に、本発明の第3実施形態を図9に従って説明する。なお、重複説明を避けるため、図7において説明したものと同一要素については、同じ参照番号が付されている。また、前述した第2実施形態との相違点を中心に説明する。

【0054】本実施形態は、第2実施形態のDRAM30における論理回路40、50と同様の機能を有する駆動回路を、トランジスタで実現したものである。駆動回路としてのゲート回路70は前記論理回路40に相当し、駆動回路としてのゲート回路72は前記論理回路50に相当する。

【0055】まず、サブワード線SW1を選択するためには、各副ワードデコーダの出力線37aの電圧レベルをHにするとともに、メインワード線MW1の電圧レベルをHに立上げる。

【0056】出力線37aを立上げると、16個のトランジスタのうち、トランジスタ77、81、85、89のゲートが“H”になり、これらのトランジスタのうち、メインワード線MW1とつながっているトランジスタ81のみがメインワード線MW1の“H”情報を左から2本目のサブワード線SW1に伝える。トランジスタ77、85はグランド線（ゼロ・ボルト）に、トランジスタ89は立上っていないメインワード線MW2（MW1以外の主ワード線はすべて立上っていない）につながっているため、残り3本のサブワード線SW0、SW2、SW3はゼロ・ボルトに固定される。

【0057】次に、サブワード線SW2を選択するためには、副ワードデコーダの出力線37bの電圧レベルをHにするとともに、メインワード線MW1の電圧レベルをHに立上げる。

【0058】出力線37bを立上げると、16個のトランジスタのうち、トランジスタ75、79、83、87のゲートが“H”になり、これらのトランジスタのうち、メインワード線MW1とつながっているトランジスタ83のみがメインワード線MW1の“H”情報をサブワード線SW2に伝える。トランジスタ79、87はグランド線に、トランジスタ75は立上っていないメインワード線MW0につながっているため、残り3本のサブワード線SW0、SW1、SW3はゼロ・ボルトに固定される。

【0059】次に、サブワード線SW2を選択するためには、副ワードデコーダの出力線37dの電圧レベルをHにするとともに、メインワード線MW1の電圧レベルをHに立上げる。

【0060】出力線37dを立上げると、16個のトランジスタのうち、トランジスタ74、78、82、86のゲートが“H”になり、これらのトランジスタのうち、メインワード線MW1とつながっているトランジ

スタ82のみがメインワード線MW1の“H”情報をサブワード線SW2に伝える。トランジスタ78、86はグランド線に、トランジスタ74は立上っていないメインワード線MW0につながっているため、残り3本のサブワード線SW0、SW1、SW3はゼロ・ボルトに固定される。

【0061】次に、サブワード線SW3を選択するためには、副ワードデコーダの出力線37cの電圧レベルをHにするとともに、メインワード線MW1の電圧レベルをHに立上げる。

【0062】出力線37cを立上げると、16個のトランジスタのうち、トランジスタ76、80、84、88のゲートが“H”になり、これらのトランジスタのうち、メインワード線MW1とつながっているトランジスタ88のみがメインワード線MW1の“H”情報をサブワード線SW3に伝える。トランジスタ76、84はグランド線に、トランジスタ80は立上っていないメインワード線MW0につながっているため、残り3本のサブワード線SW0、SW1、SW2はゼロ・ボルトに固定される。

【0063】本実施形態は上記のように構成されているので、第2実施形態と同様の作用及び効果に加えて、サブワード線SW0、SW1、SW2等を選択して駆動するゲート回路70、72をトランジスタにより構成したので、回路占有面積を縮小することができ、よってDRAMの小型化及び高集積過化を図ることができる。

【0064】なお、実施の形態は上記に限定されるものではなく、次のように変更してもよい。

・ 画像処理を行う場合、所望する画素のブロックのデータが左右（横）方向に隣接するブロックに跨る場合のみでなく、上下（縦）方向に隣接するブロックに跨る場合があるが、この場合にも第1～第3実施形態に示したように、ブロックのデータを格納するようにしてもよい。この場合にはメモリセルアレイを2回アクセスする必要が生じるが、従来のDRAM10.0においてはメモリセルアレイを4回アクセスすることと比較すると、メモリセルアレイへのアクセス回数は半分に減り、アクセスを高速化することができるとともに、DRAMの消費電流の増加を抑制することができる。

【0065】・ 図10に示すように、画像処理を行う場合、所望するブロック90のデータが左右（横）方向に隣接するブロックB1、B2及び上下に隣接するブロックB3、B4に跨る場合がある。このようなブロック90のデータを記憶するためのDRAM91として、図11に示すように、メモリセルアレイ92を行方向においてブロックB1、B2、B3、B4のデータを格納するための4つのアレイ92A～92Dに分割する。そして、図10に示すブロックB1のデータをアレイ92Aに格納し、ブロックB2のデータをアレイ92Bに格納し、ブロックB3のデータをアレイ92Cに格納し、ブ

ロックB4のデータをアレイ92Dに格納するようにする。また、主ワードデコーダ93はアレイ92A~92Dに対応する4つのデコード部により構成し、メモリセルアレイ92へのアクセス時においてアドレス信号を選択信号にデコードし、各アレイ92A~92Dにおけるいずれか1本のメインワード線を選択するようになっている。このようにすれば、任意のブロック90のデータをメモリセルアレイ92への1回のアクセスで読み書きすることができる。

【0066】・ 上記第1~第3実施形態では、画素のブロックを縦方向に分割してその画素データをメモリセルアレイに格納するようにしたが、画素のブロックを横方向に分割してその画素データをメモリセルアレイに格納するようにしてもよい。

【0067】・ 上記第1~第3実施形態では、DRAMに具体化した、SRAM、フラッシュメモリ、Fe(強誘電体)RAM等の各種のメモリに具体化することができる。

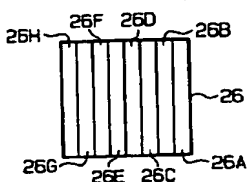
【0068】・ 上記第1実施形態において、第2実施形態の構成を採用してもよい。すなわち、メモリセルアレイの複数のメインワード線を複数のメインワード線群に分割するとともに、メインワード線に沿って配設される複数のサブワード線を1群とし、各メインワード線に対応して複数のサブワード線群を接続した構成のメモリセルアレイとしてもよい。

【0069】次に、上記各実施形態から把握できる他の技術的思想を、以下に記載する。

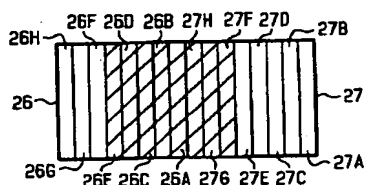
・ 請求項2に記載の半導体記憶装置において、主ワードデコーダは複数のメインワード線群に対応する複数のデコーダ部からなる半導体記憶装置。

【0070】・ 請求項3に記載の半導体記憶装置において、前記各メインワード線に対応して配設された複数のサブワード線群の一部のサブワード線群は互いに隣接するメインワード線に対して兼用されている半導体記憶装置。

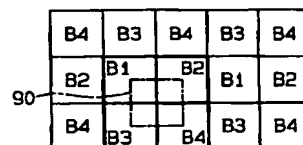
【図2】



【図4】



【図10】



【0071】

【発明の効果】以上詳述したように、請求項1~3のいずれかに記載の発明によれば、メモリセルへのアクセスの高速化を図ることができるとともに、消費電流の増加を抑制することができる。

【図面の簡単な説明】

【図1】第1実施形態の半導体記憶装置を示す概略構成図。

【図2】画素ブロックを示す説明図。

【図3】半導体記憶装置への画素列データの記憶方式を示す説明図。

【図4】隣接した一対の画素ブロックにおけるデータアクセス方法を示す説明図。

【図5】図4に対応した画素列に対応するアクセス方法を示す説明図。

【図6】第2実施形態の半導体記憶装置を示す概略構成図。

【図7】同じく論理回路を示す回路図。

【図8】同じく隣接した一対の画素ブロックにおけるデータアクセス方法を示す説明図。

【図9】第3実施形態の半導体記憶装置を示す概略図。

【図10】互いに隣接した複数の画素ブロックを示す説明図。

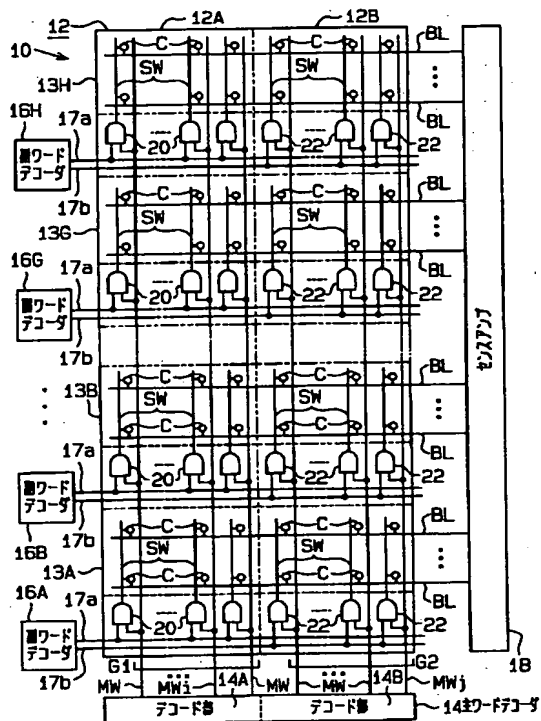
【図11】別の実施形態の半導体記憶装置を示す概略構成図。

【図12】従来の半導体記憶装置を示す概略構成図。

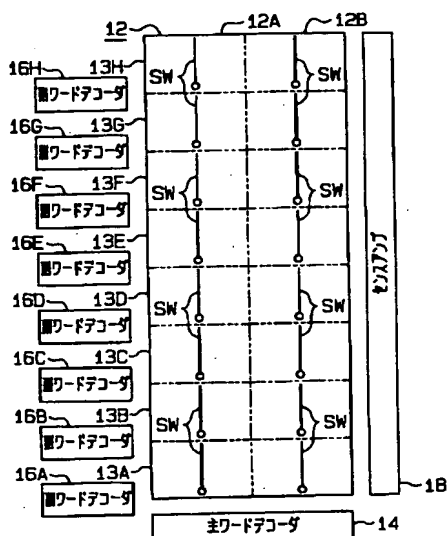
【符号の説明】

12, 32, 92...メモリセルアレイ、13A~13H, 33A~33H...サブアレイ、14, 34, 93...主ワードデコーダ、16A~16H, 36A~36H...副ワードデコーダ、40, 50...駆動回路としての論理回路、70, 72...駆動回路としてのゲート回路、BL...ビット線、G1, G2...メインワード線群、MW, MWi, MWj...メインワード線、SW...サブワード線。

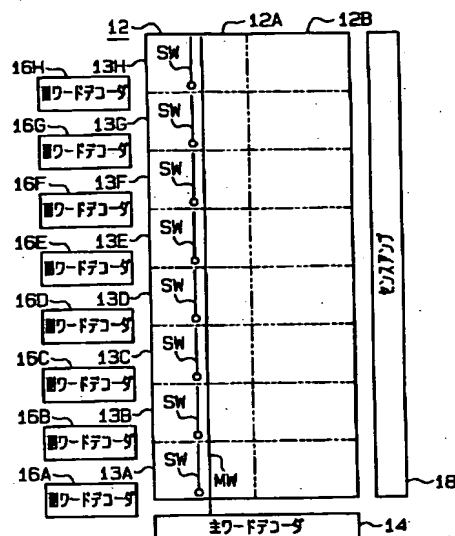
【图1】



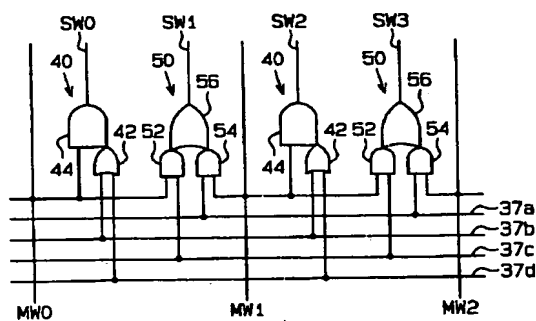
【图5】



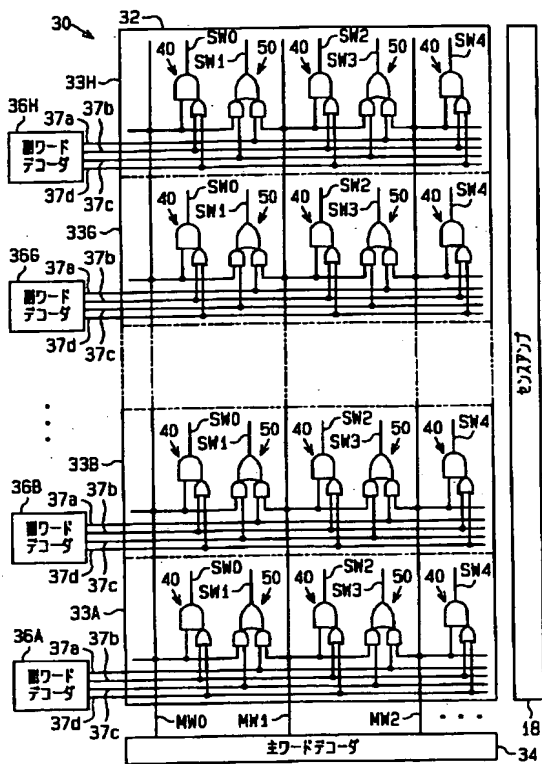
【图3】



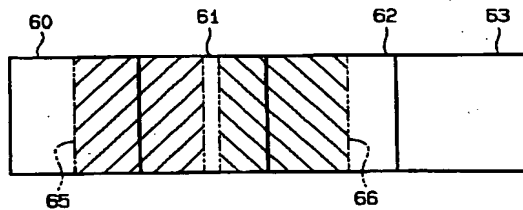
【图7】



【図6】



【図8】



【図9】

